

AN-6069

低端门极驱动器的应用和比较评价

摘要

功率MOSFET需要一个门极驱动电路，将来自模拟或者数字控制器的开通/关断信号转换为控制MOSFET所必需的功率信号。本文给出了当用作次级同步整流器以及驱动脉冲/门极驱动变压器时，在钳位感性负载应用中MOSFET的开关动作详解。探讨了潜在的驱动器方案，包括分立驱动器和集成驱动器设计。MOSFET驱动器数据表中的电流额定值已校验过，并给出了在实验室可以辅助评估驱动器性能的电路。

引言

在许多中小功率的应用中，在PWM控制IC的输出驱动下，低端（参考地）MOSFET用来开关一个感性负载。如果PWM输出电路可以在一个令人满意的开关时间上驱动MOSFET而不会浪费过多的功率，则该方案是令人满意的。随着系统功率需求的增长，开关的数量以及相关的驱动电路也随之增加。随着控制电路复杂性的增加，由于接地和噪音问题，IC制造商越来越普遍地省略IC内置驱动器。

当提高效率 and 增加功率密度变得重要时，越来越多的同步整流器（SR）用来取代标准整流器。传递数十安培电流隔离的功率级，在每个整流器桥臂上需要并联两个或多个低电阻的MOSFET，这是很常见的。这些MOSFET器件需要在低于100ns时间内具有高达几安培的电流脉冲，才能正常开关。外部驱动器可以提供这些大电流脉冲，确定时序防止直通，并优化效率来控制SR的工作。此外，驱动器可以将逻辑控制电压转换为最有效的MOSFET驱动电平。

低端驱动器也用于驱动变压器，能够给电源隔离的两边提供隔离的MOSFET门极驱动电路或通信。在这些应用中，要求驱动器能够处理变压器驱动中特有的问题，随后进行讨论。

低端驱动器看似一个平凡的课题；已经书写了多篇相关论题的论文。虽然驱动器通常被视作理想电压源，能够输出或吸入电流，取决于电路的串联阻抗，但是实际上，它却受到分立电路或者集成电路设计的限制。本文从应用的角度回顾了对驱动器的基本要求，然后在实验层次上研究一种方法，用于测试和评估驱动器的驱动能力。

钳位感性开关

简化的升压变换器如**错误!未找到引用源。**所示，图中给出了一个带钳位感性负载的典型功率电路原理图。当MOSFET Q导通时，输入电压 V_{IN} 施加于电感L两端，电流以线性方式爬升，将能量储存于电感中。当MOSFET关断时，电感电流流经二极管D1，并将能量传递给 C_{OUT} 和 R_{LOAD} ，输出电压为 V_{DC} 。假设感值足够大，在开关时间间隔内能够维持电流恒定。

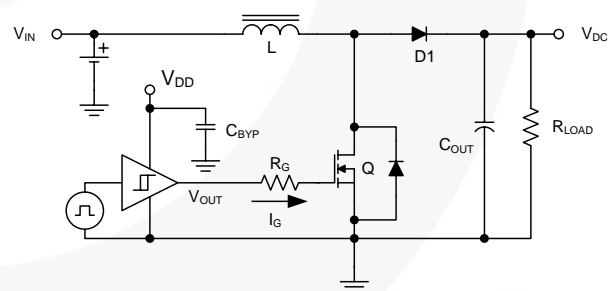


图 1. 简化的升压变换器

MOSFET开通过程中接入钳位感性负载的图解电路波形如错误!未找到引用源。所示。

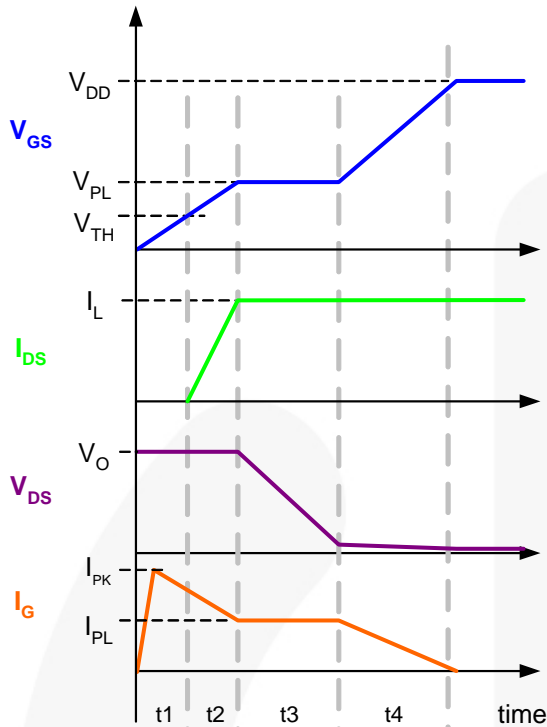


图 2. 带感性负载时MOSFET的导通过程

错误!未找到引用源。给出了在MOSFET导通过程中一个时间间隔内门极电流路径。

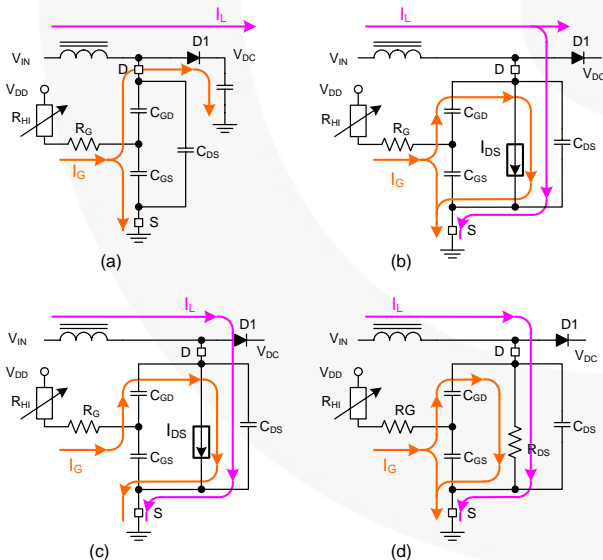


图 3. MOSFET导通过程中的电流路径

[R_G 代表电阻串联组合, 包括MOSFET内部门极电阻和任何串联门极电阻。 R_{HI} 代表驱动器的内部电阻, 它的效率值在整个开关时间间隔内是一直变化的。如下所示, 可结合参考文献[1]和[2]中提到的信息驱动器确定电流 I_G 。

在时间间隔 t_1 内, I_G 迅速增加, 通过图3(a)所示的路径, 为 C_{GS} 和 C_{GD} 组合充电, 充至门极阈值电压 V_{TH} 。在这个时间间隔内, MOSFET没有承载电感电流。

随着时间间隔 t_2 的开始, MOSFET通过图3 (b) 中的电流路径以如下线性模式导通电流:

$$I_D = g_m(V_{GS} - V_{TH}) \quad (1)$$

随着漏极电流从0升至 I_L , 并联的 C_{GD} 和 C_{GS} 被充电, 从阈值电压充至由下式给定的电压平台:

$$V_{PL} = \frac{I_D}{g_m} + V_{TH} \quad (2)$$

Q_{GS2} 是这个过渡期间所需的电荷, 可以根据MOSFET数据表上的特征曲线来确定, 随后在本节应用实例中进行讲解。 Q_{GS2} 需要的过渡时间计算如下:

$$t_2 = t_{I_{DS}, rise} = \frac{Q_{GS2}}{I_G} \quad (3)$$

整个 t_2 过程中, V_{DS} 一直为 V_{OUT} , 被二极管D钳位。在 t_2 结束时, MOSFET流过全部 I_L 电流, 同时二极管整流。

随着时间间隔 t_3 的开始, 门极电流流经 C_{GD} 和MOSFET的沟道, 如图3 (c) 所示。整个电流 I_G 用来给 C_{GD} 放电, 这时 V_{GS} 仍然处于 V_{PL} , 同时 V_{DS} 开始下降, 下降时间为:

$$t_3 = t_{V_{DS}, fall} = \frac{Q_{GD}}{I_G} \quad (4)$$

在时间间隔 t_4 , 电流 I_G 流经 C_{GS} 、 C_{GD} 和正在减小的导通电阻 R_{DS} , 如图3 (d) 所示。在 t_4 过程中, 门极到源极电压从电压平台升高到 V_{DD} 。由此可以测定MOSFET开通所需的总门充电荷。

随着 t_2 内漏极电流的增加和 t_3 内 V_{DS} 的下降, MOSFET两端同时施加有高电压和流过大大电流, 所以瞬时功率会非常大。在开通时间间隔内, I_G 与开关损耗的关系式为:

$$P_{SW, ON} = \left(\frac{V_{IN} \times I_{LOAD}}{2} \right) (f_{SW}) \left(\frac{Q_{GS2}}{I_{G, t2}} + \frac{Q_{GD}}{I_{G, t3}} \right) \quad (5)$$

该等式表明了 I_G 的大小对开关损耗的重要性。但是, 由于输出电压在其整个范围内摆动, 没有正式公式可以用来计算从一个给定的驱动器中获得的电流。针对不同驱动器输出电压等级, 可以根据经验法来确定 I_G 的值, 该部分将在随后的“工作台上驱动器评估”一节中给出。

举一个实例, 从飞兆公司 FCP20N60功率MOSFET的数据表中复制门极到源极电压与总门充电荷关系图如图4所示。该曲线是通过一个带有3mA小电流源测试电路通过驱动被测器件 (DUT) 的门极得到的。在这个例子中, 达到3V阈值电压的门极电荷大约需要7nC。在时间间隔 t_2 中需要的电荷 Q_{GS2} 为14nC- 7nC=7nC, 在时间间

隔t3中, Q_{GD} 的值为 $Q_{GD}=46nC-14nC=32nC$ 。在这个典型例子中, Q_{GD} 对开关损耗的影响远远超过 Q_{GS2} 的贡献。

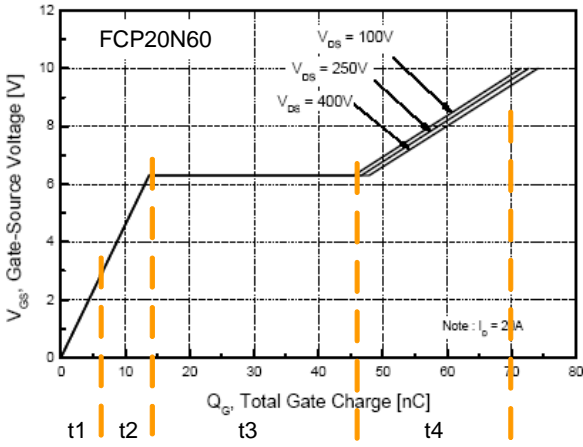


图 4. FCP20N60的 V_{GS} - Q_G 关系曲线

得到 V_{GS} 的最终驱动电压, 便可知 $Q_{G, total}$ 的值。偏置电源要求的平均电流为:

$$I_{DD} = Q_G \cdot f_{sw} \quad (6)$$

式中, f_{sw} 是功率电路的开关频率。已知平均电流需求, 可得偏置电源 V_{DD} 的输入功率, 如下式所示:

$$P_{dr} = V_{DD} \cdot I_{DD} = V_{DD} \cdot Q_G \cdot f_{sw} \quad (7)$$

在感性负载关断过程中, 电路波形和电流路径与开通过程相似, 但是需要考虑顺序相反。为了简便起见, 电路波形如图5所示, 但没有给出电流通径。

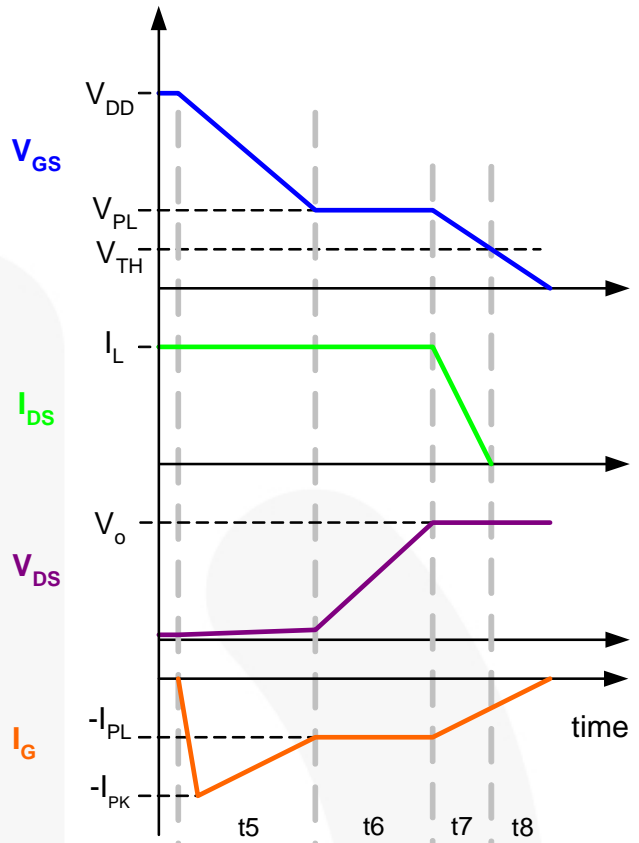


图 5. MOSFET带感性负载的关断过程

在时间间隔t5内, I_G 上升, 将 V_{GS} 从 V_{DD} 放电至由式(2)定义的电压平台。在时间间隔t6内, V_{GS} 仍然为电压平台, 同时 V_{DS} 上升至断态电压。时间间隔t6持续时间大约为:

$$t6 = t_{V_{DS}, rise} = \frac{Q_{GD}}{I_G} \quad (8)$$

在时间间隔t7内, 漏极电流 I_{DS} 由 I_L 值下降至0, 同时 V_{GS} 从 V_{PL} 降至 V_{TH} 。这个时间间隔可由下式给出:

$$t7 = t_{I_{DS}, fall} = \frac{Q_{GS,2}}{I_G} \quad (9)$$

在时间间隔t8内, V_{GS} 从阈值电压放电至0。

I_G 与关断时间间隔内的开关损耗的相关公式为:

$$P_{SW, OFF} = \left(\frac{V_{IN} \times I_{LOAD}}{2} \right) \cdot (f_{SW}) \cdot \left(\frac{Q_{GD}}{I_{G, t6}} + \frac{Q_{GS,2}}{I_{G, t7}} \right) \quad (10)$$

同步整流器的工作原理

作为一个同步整流器（SR），MOSFET开关间隔与带钳位感性负载时的情况具有明显的差异。图6给出了一个简化的正激变换器功率级电路，图中同步整流器 Q_{SR} 取代了续流二极管。

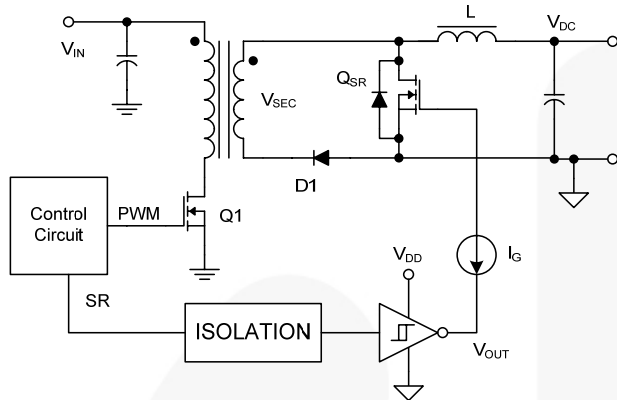


图 6. 简化的正激变换器

在这个例子中，当Q1关断时，由控制电路产生的SR信号跨过隔离边界来使同步整流器 Q_{SR} 开通并保持。然而，SR信号必须使 Q_{SR} 在Q1开通之前关断，以便将正电压施加在变压器上。图7给出了四个时间区间，可以说明同步整流器的关断时序。

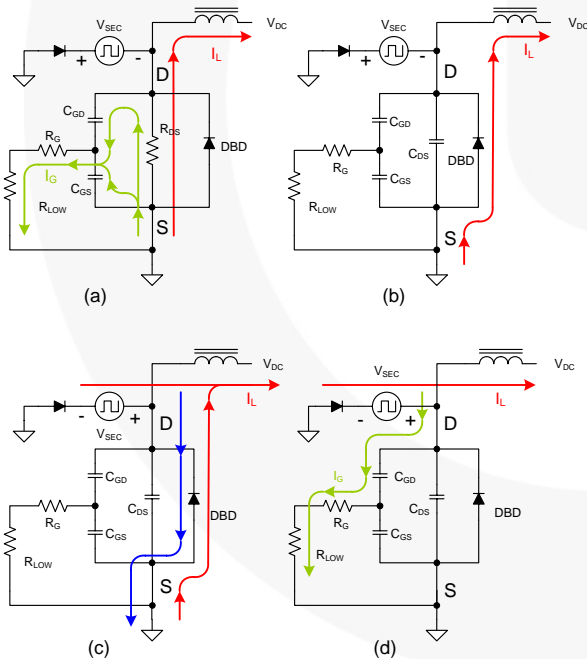


图 7. SR MOSFET的关断过程

在关断之前，MOSFET通过阻性通道传导负载电流 I_L ，且漏极到源极电压是负的。图7（a）中，驱动器的输出很低， C_{GD} 和 C_{GS} 的并联组合在一个时间间隔内放电，该时间间隔由下式给出：

$$t_{off} = \frac{Q_{Q,SR}}{I_G} \quad (11)$$

式中， $Q_{Q,SR}$ 由参考文献[3]定义如下

$$Q_{Q,SR} = (C_{GS} + C_{GD,SR}) \cdot V_{DD} \quad (12)$$

同样在参考文献[3]中， $C_{GS,SR}$ 估算如下

$$C_{GD,SR} = 2 \cdot C_{RSS,SPEC} \cdot \sqrt{\frac{V_{DS,SPEC}}{0.5 \cdot V_{DD}}} \quad (13)$$

根据MOSFET标准术语：

$$C_{GS} = C_{ISS} - C_{RSS} \quad (14)$$

图7（b）中，MOSFET被完全关断， I_L 流过体内二极管，且 V_{SEC} 的极性没有改变。如图7（c）所示，当 V_{SEC} 极性改变时，电流流经 V_{SEC} 来恢复体内二极管的存储电荷，同时二极管整流。图7（d）中，体内二极管已经完全恢复， V_{DS} 迅速上升。MOSFET漏极上有很高 dV/dT 会引发一个容性电流流过 C_{DS}/C_{GS} 电压分压器，所以必须有一个具有很强电流吸入能力的驱动器来维持门极电压低于阈值电压。

在同步整流器的应用中， I_G 不会像在钳位电感负载的应用中一样影响开关损耗。然而，在SR应用中，并联的MOSFET需要大电流脉冲才能高效开关，且大电流驱动器通常需要靠近被驱动MOSFET放置。

变压器驱动应用

在功率变换器中，例如半桥、全桥、双管正激变换器和有源钳位正激变换器，有高端开关、或高/低端开关组合，需要实施控制。如果在控制和功率开关之间不需要电隔离，那么MOSFET可以由半导体半桥门极驱动器来驱动，但是在设计时必须考虑固有的传输延迟。对于需要隔离的电路或者短传输延迟能够带来优势的电路，门极驱动变压器可以作为一个有潜力的解决方案。

在一个相关的应用中，在一个隔离变换器的原边和副边之间通常需要提供高速的通信。这可以利用诸如带数字输出的光隔离器或者磁脉冲变压器的技术来实现。这些脉冲变压器类似于门极驱动变压器，但是他们仅需要传递逻辑信号，而无需传递能够开通或关断功率MOSFET的大电流脉冲。

图8的简化电路可以说明通信电路中低端驱动器和脉冲变压器的基本工作情况。变压器可视作理想变压器，匝数比 $N_P:N_S = 1:1$ ，变压器与磁化电感 L_{MAG} 并联。在这两种情况下，隔离电容足够大，使得其两端电压近似恒定。

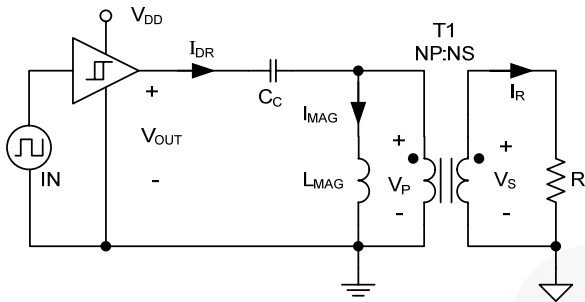


图 8. 简化的脉冲变压器电路

图9中，改动电路，电阻由一个位于桥式电路高端MOSFET的门极到源极端取代。

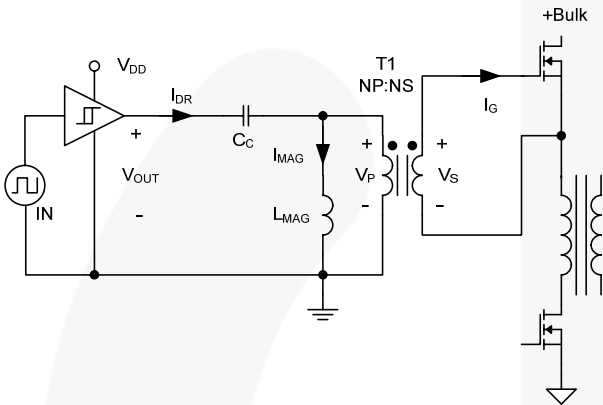


图 9. 简化的门极驱动变压器电路

图10 (a) 给出的是脉冲变压器电路的工作波形，图10 (b) 给出的是门极驱动应用的工作波形。

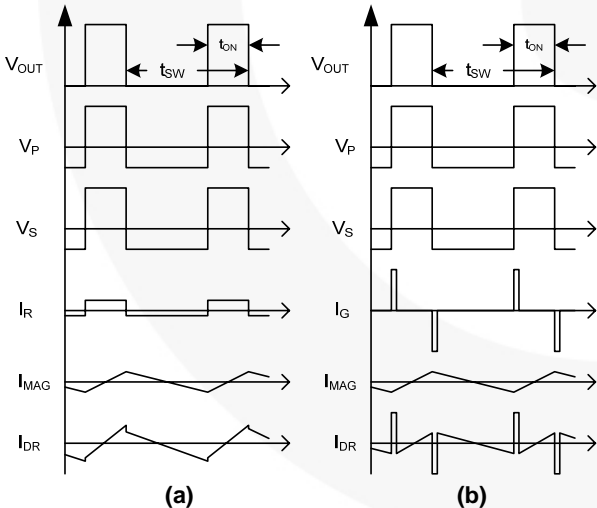


图 10. (a) 脉冲变压器波形
(b) 门极驱动变压器波形

驱动器的输出电压从0V到 V_{DD} 摆动，产生一个等于 V_{DD} 乘以占空比的直流分量。如果这个电压直接作用于T1的原边绕组，变压器将会饱和而不能传送有效信息。为了避免这种情况，插入耦合电容 C_C ，与原边绕组串联，隔离直流电压，只能传递 V_{OUT} 信号中交流部分。设计用于

脉冲和门极驱动应用的变压器时，通常指定一个能承受的伏秒积，保证变压器不会出现饱和。

在许多情况下，同一个变压器可以作为脉冲变压器工作或门极驱动变压器。在图10中，这两种应用最主要的区别在于电流波形。如果驱动电压和磁化电感 L_{MAG} 恒定不变，两种电路中的磁化电流 I_{MAG} 相同。在图10 (a) 所示的脉冲变压器波形中，电阻电流 I_R 跟随副边电压 V_S ，驱动器提供的电流是这两部分的总和。在图10 (b) 所示的MOSFET门极驱动波形中，门极电流 I_G 在开通时为正脉冲，在关断时为负脉冲。

正如第一个例子，驱动器提供的电流是这两部分的总和，但是由于为大电流脉冲，波形含有的RMS值较大。

对于图10中的例子，检查驱动器和变压器之间的电流流向是非常重要的。如图11(a)所示，当 V_{OUT} 摆高时，希望驱动器立即输出电流。然而，磁化电流为负，且如果负载电流不大于磁化电流，驱动器必须输入电流，直到 I_{DR} 变为正。图11(b)中所示的情形则相反，当 V_{OUT} 从高到低变化，当期望作为输入电流工作时，驱动器却必须输出电流。图11(c)显示了当驱动器在 V_{OUT} 为高不能输入电流，或当 V_{OUT} 为低是不能输出电流时，由附加二极管提供电流路径，这种情况常见于具有双极型输出级的驱动器。

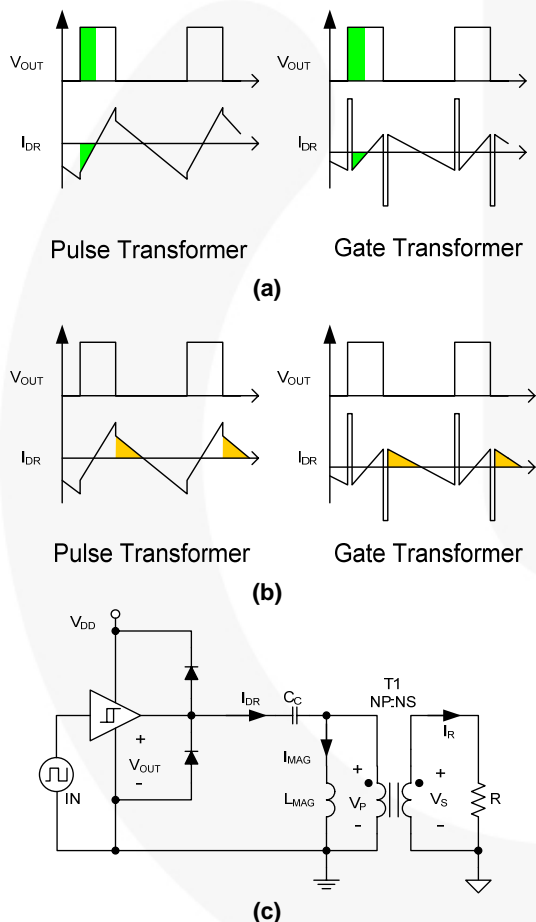


图 11. 变压器驱动器的电流流向和二极管钳位电路

如果变压器设计的漏感很小，那么通过变压器的传输延迟可以小于50ns。源自ICE元件^[4]的GT03系列变压器的漏感只有几百纳亨。可以通过在小型铁氧体磁芯上紧密耦合线圈实现。

在前面的变压器例子中，正、负峰值随着占空比变化，与此同时，副边电压 V_S 在0V附近摆动。在脉冲变压器的应用中，脉冲可能输出至不能承受负脉冲的电路。图12中所示电路中包含有一个钳位电路，该钳位电路由第

二只耦合电容 C_{CS} 和一个负责恢复次级电压直流电平的二极管组成。

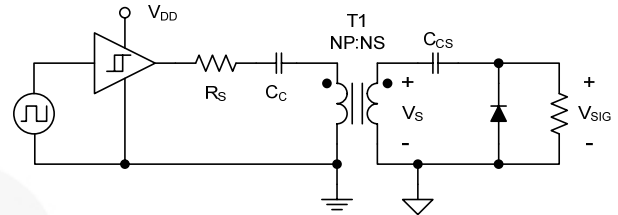


图 12. 带直流恢复电路的脉冲变压器

由于 C_{CS} 最初没有被充电，串联电阻 R_S 用于阻尼启动时初始振荡，作为分立电阻， R_S 还提供内部驱动阻抗。对于经典的RLC电路原理，用于临界阻尼时 R_S 取值近似为：

$$R_S = 2 \cdot \sqrt{\frac{L_{MAG}}{C_{CC}}} \quad (15)$$

式中， L_{MAG} 表示变压器的磁化电感。

图13所示的是门极驱动应用电路，它运用了前面例子中的直流恢复电路，并进行了一些额外的改动。

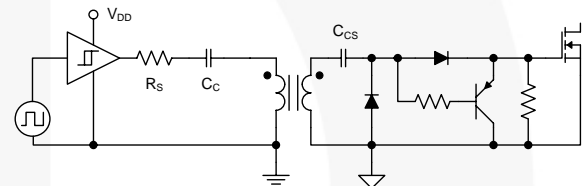


图 13. 改进的门级驱动变压器电路

当副边电压为负时，安排在MOSFET门极的PNP型三极管开通，可以加快MOSFET的关断时间。

参考文献[3]，“Design and Application Guide for High Speed MOSFET Gate Drive Circuit”(高速MOSFET门极驱动电路的设计与应用指南)，给出了关于耦合变压器门极驱动的更多信息，查阅后可获得详细的设计方法，这部分不在本专题范围。

分立或集成的驱动器

外部驱动器可采用分立三极管或者集成电路方案来设计，可以采用预先设计好的模块。选择方案时，设计者必须评估其有优势的尺寸、特性、成本以及所覆盖的全部应用范围。如果不考虑驱动器的选择，也还是有一些共同的要求。集成或分立设计的驱动器需要一个就近的旁路电容，才能提供开关期间内必需传递的大电流脉冲，并且在驱动器和PWM电源 V_{DD} 间可能包含一个电阻。通常情况是，为降低寄生电感和电阻的影响，驱动器最好紧靠MOSFET门极到源极。

分立方案可采用双极型三极管来设计，如图14所示。NPN或PNP推挽电路的特征是：非反相结构，由PWM输出驱动。该电路能够防止双极电路直通，这是由于每次只有一个推挽输出电路的器件可以正向偏置。在共发射

极结构中，驱动信号必须有快速的上升下降沿，才能提供快速的切换。需要指出的是，无论处于高或低电平，MOSFET门极与轨之间都不是欧姆连接。

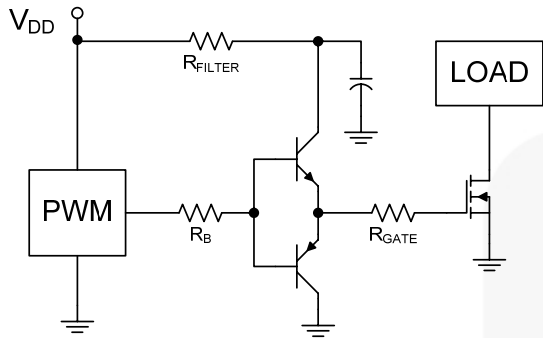


图 14. 分立双极型三极管驱动电路

图15所示的分立PMOS/NMOS驱动电路具有一个自然反向能力，但需要一个反相器来跟随PWM信号的极性。该电路提供轨到轨（译注：输出摆幅与供电电压相同）的工作，但是在设计时必须考虑直通问题，因为当公共门极的节点电压处于 V_{DD} 范围的中间值附近时，这两个器件都可能导通。

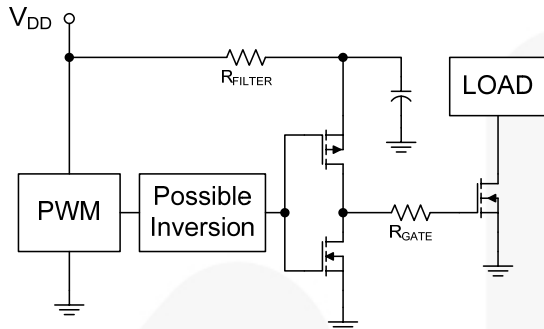


图 15. 分立PMOS/NMOS驱动电路

采用分立驱动器方案使得元件数量增多，需要更多的PCB板空间和更多的装配测试时间。较多的元件数量会导致更多的采购成本和可靠性顾虑。如果输入信号来源于一个逻辑电路或者一个低压PWM，分立驱动器还需要附加电路，负责将逻辑电平转换为功率驱动电平。

除了大脉冲电流能力外，集成电路驱动器还具有显著优势。新型集成双驱动器为3x3mm的封装，而单个驱动器为2x2mm的封装，其中还要包括为了散热用的导热垫。在有更好的散热性能的同时，该器件只需要比分立方案更少的电路板空间，所以它们十分适合密集型的电源设计。该器件中集成的特性，如使能功能和UVLO，可以使得该器件更易使用，并减少元件级的设计。兼容TTL输入阈值的驱动器，可以作为设计惯例，能够接受从逻辑电平信号到器件 V_{DD} 范围的输入。该器件采用CMOS的输入阈值($2/3 V_{DD}$ 为高, $1/3 V_{DD}$ 为低)，可以有助于减轻噪音问题或在驱动器的输入端设置更加精确的时间延迟。

驱动器数据表中的电流额定值

驱动器数据表中的额定电流和测试条件会造成一些困惑。许多人认为门极驱动器是一个近乎理想的电压源，可以立即提供由串联阻抗决定的电流。这是不完全正确的。通常，不管采用哪种半导体技术，从驱动器获得电流时受到内部电路设计的限制。这种自我约束的性质不能与自我保护相混淆；如果一个驱动器的输出短接至高或低，该器件很有可能失效。

驱动器数据表上额定电流的常用测试方法：

- 器件峰值电流，通常出现在初始开启和最大 V_{DD} 时
- 输出被钳位在一个特定电压时的电流，该电压通常为 $V_{DD}/2$ 左右
- 低值电阻接轨（译注：通常接地）时的电流（大约为 0.5Ω ，甚至短路）
- 使用电流探头测量的电流。

集成MOSFET驱动器通常可选以下三种技术：首先为MOSFET型，其次为双极型，或两种组合，通常称为复合型元件。MOSFET型和双极型驱动器与前面提到的分立方案相似，而复合型设计则结合了这两种技术。

对于内置有MOS输出情形的低端驱动器（PMOS高端和NOMS低端，与图15中给出的分立电路相似），数据表中额定电流通常指接近 V_{DD} 最大额定值时获得的峰值电流。图16给出了能够获得4A驱动器输出的电流和电压，采用的测试方法将在下文的“工作台上驱动器评估”部分作详细说明。该测试表明，没有外部电阻时，内部电路会限制输出峰值电流，接近额定值4A。

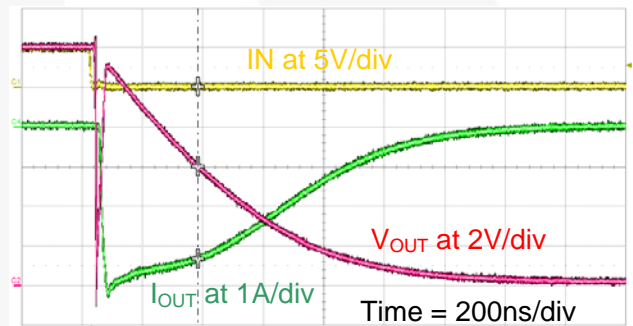


图 16. PMOS/NMOS驱动器的 V_{OUT} 和 I_{OUT}

当吸入或输出一个特定电流时，如100mA，PMOS/NMOS驱动器通常会指定驱动器输出阻抗。有趣的是，当器件开始开关时，MOS型驱动器不会立即达到 $R_{O,high}$ 或 $R_{O,low}$ 的阻抗值。例如，4A的驱动器通常指定 $R_{O,high}$ 或 $R_{O,low}$ 的值为1—2 Ω 。如果器件瞬间达到了这个低阻抗值，那么 $V_{DD} = 15V$ 时，峰值电流将大于7A。

在复合器件中，双极型和MOSFET器件并联，如图17中所示，图中阴影部分为功率输出器件。双极型三极管能够吸入和输出很高的电流，同时输出电压从输出范围的中间开始摆动。PMOS和NMOS与双极型器件并联工作，根据需求将输出电压拉至正电压轨或负电压轨。

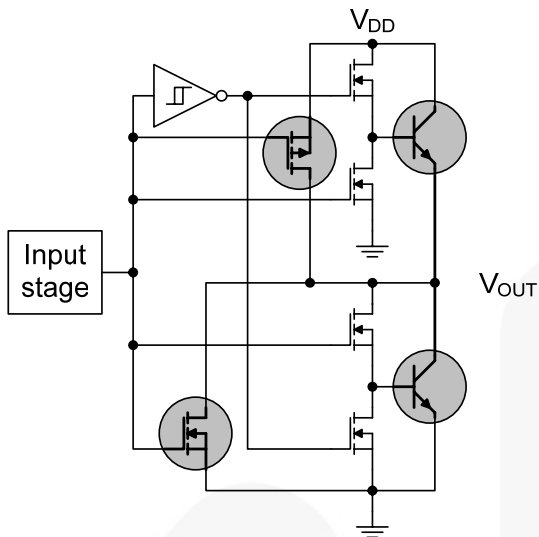


图 17. 复合驱动器输出级

对于复合驱动器，输出电流通常和输出电压一同定义，指定电压通常为 $V_{DD}/2$ ，用来强调在 V_{GS} 波形的米勒平台区域的电流。在采用下文的“工作台上驱动器评估”一节描述的测试方法中，峰值输出电流通常高于电压 $V_{DD}/2$ 时定义的电流。图18给出了一个4A复合驱动器（FAN3224C），输出电压为6.1V时，吸入电流能力为4.76A。此刻已是达到一个低于6A的峰值电流之后。额定值为4A的复合驱动器可比相同额定值的PMOS/NMOS驱动器具有更高的峰值电流。实际中，这类信息几乎不可能从驱动器的数据表中获得，所以需要特定的测试方法。

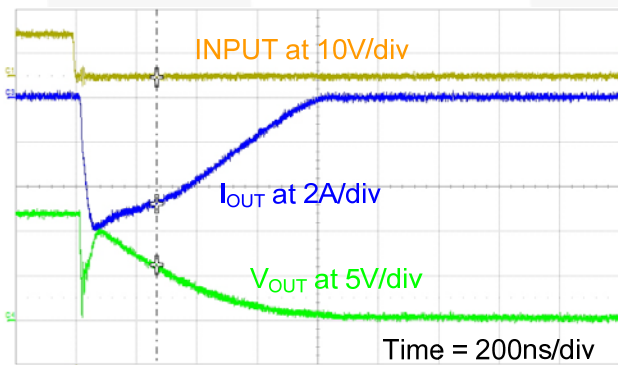


图 18. 复合驱动器吸入电流波形

工作台上驱动器评估

实际上，在实验室进行驱动器比较是很困难的，这是因为快速信号的斜率会导致感性和容性电路元件之间出现复杂作用。这些快速边沿斜率会引入几伏的过冲和欠冲。查阅参考文献[5]，可以看到一些实例，有助于量化功率电路中的这些影响。尽管寄生电感随着具体电路布局 and 接地结构不同而变化，参考文献[6]给出了FR-4基片在空气接触面的走线的近似值为10nH/inch

(4nH/cm)。这样就提供了一个估值，电路寄生电容也一样，可以用于计算（如需要）阻尼电阻。

仅用数据表来比较竞争性器件是有难度的，数据表上提供的信息是通常是在不同的测试条件下得到的。在集成电路方案中使用的竞争性技术，使得器件比较更加复杂化。在以下各段落中，给出了一些电路，可以实验测试和比较驱动器。

图19给出了一个电路，可用于测试驱动器脉冲电流输出容量，在输出为高时，需要将 V_{OUT} 钳位至 $V_{DSCH} + V_{DZEN}$ 电平。为了降低功耗，其输入由一个200ns、占空比为2%的正向脉冲（对于非反相驱动器）来驱动。在这个电路中， R_{CS} 两端的正向电压，用于检测驱动器输出电流。为了改变输出钳位电压的值，需要改变 D_{ZEN} 的额定电压值。

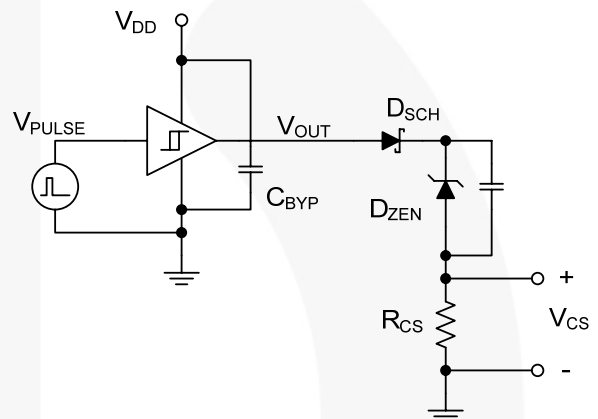


图 19. 带钳位 V_{OUT} 的电流源测试电路

图20给出了一个电路，可用于测试驱动器脉冲电流吸入容量，需要将输出电压钳位至电平 $V_{ADJ} - V_{DSCH}$ 。其中，其输入由一个200ns、占空比为2%的负向脉冲（对于非反相驱动器）来驱动。在这个电路中， R_{CS} 两端的负向电压用于检测驱动器输入电流。

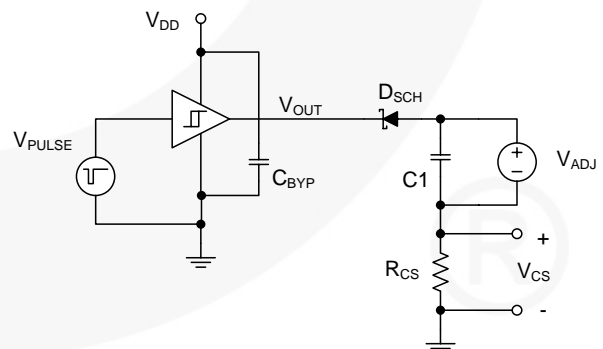


图 20. 带钳位 V_{OUT} 的漏电流测试电路

在这两个电路中，当电流增加到驱动器限值时，会出现一个持续50-100ns的电压瞬态。采用表面贴装元件、紧凑布局可以减少回路面积，最小化寄生电感。

前两个电路都需要一个表面贴装布局。借助图21所示的驱动电路，通过在驱动器的输出端连接一个相对较大的容性负载，可以用来评估驱动器的电流能力。

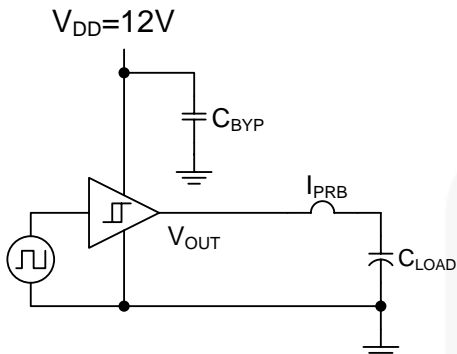


图 21. “大”负载测试电路

初始测试时， C_{LOAD} 的选择要大于负载的100倍，用于测试上升时间和下降时间，输入由1kHz方波驱动。在典型的数据表中，在上升时间和下降时间规格指标内，2A的驱动器针对1nF的负载， C_{LOAD} 应选择0.1 μ F左右。这个相对较大的负载可以防止输出快速变化，允许驱动器输出电流达到它的内部限值。在示波器上，电流探头 I_{PRB} 可用于检测输出电流和输出电压 V_{OUT} 。这样就能描绘出输出电流对应的输出电压。实验比较显示出，使用这种方法得到的电流测量值与使用钳位电路获得的值几乎吻合，如图19和图20所示。另外，较慢的电流上升和下降时间便于电流测量，适应电流探头带宽限制。

图22给出了采用图21所示测试电路得到的波形，可以用来评估带复合输出级的、2A吸入/1.5A输出的驱动器（FAN3227C）。当驱动器的输入 V_{IN} 变高时，在 V_{OUT} 的波形上出现一个瞬态毛刺，这是因为输出电流是经过电流探头回路电感而迅速升至3A。大约70ns后，电流达到它的峰值，寄生电感两端的电压尖峰消失。在 $V_{OUT} = 6V$ 时，测得输出电流值为1.5A（输出电流）。

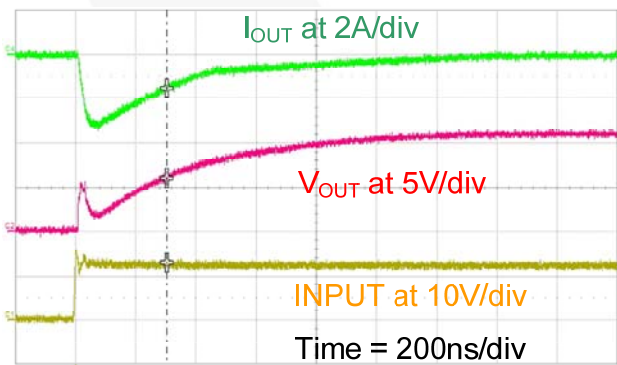


图 22. 复合驱动电流源波形

图22显示出了因使用电流探头要插入电路的线圈而引起的电感产生的前缘毛刺。如果这个线圈被移除，且表面贴装0.1 μ F的电容，具有最小的寄生电感，可以获得如图23中所示的波形。在电压波形近似线性的较短时间间隔中，存在基本关系为：

$$I = C_{LOAD} \cdot \left(\frac{dV_{OUT}}{dT} \right) \quad (16)$$

，可用于估计电流。

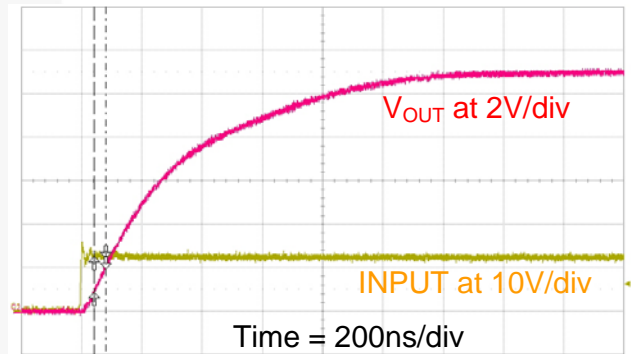


图 23. 复合驱动电流的评估

图23中的波形可以用来计算光标所示时间间隔内的电流，公式如下：

$$I = 0.1\mu F \cdot \left(\frac{1.131V}{40.6ns} \right) = 2.8A \quad (17)$$

给出了与图22中所示的 I_{OUT} 波形近乎吻合的峰值电流。在 $V_{OUT} = 6V$ 时，类似地可以估算出电流为1.5A，与采用电流探头直接测量的结果几乎相同。采用大负载时各种电流测量技术近乎吻合，有助于提升对结果的可信度。

总结

低端驱动器用于驱动功率MOSFET，包括感性负载开关、同步整流器电路和脉冲/门极变压器驱动电路的应用。详细说明了在主要MOSFET开关时间间隔内，切换MOSFET的门极驱动电流与转换时间的关系。验证了潜在的驱动方案，包括分立器件、集成PMOS/NMOS和复合驱动器。明显地指出了不同驱动器电路的一些不理想特性。

现在没有一个简单统一的方法来描述众多驱动器类型的输出电流、吸入电流能力。本笔记中给出的测试电路可用于研究分立和集成电路驱动器的 V_{OUT} 与 I_{OUT} 能力之间的关系，能够评估和比较不同应用领域的驱动器。

参考文件

- [1] 2006 Fairchild Power Seminar Topic, "Understanding Modern Power MOSFETs," available on the fairchildsemi.com website at the link: http://www.fairchildsemi.com/powerseminar/pdf/understanding_modern_power_mosfets.pdf
- [2] Oh, K. S., "MOSFET Basics", July, 2000, available as AN9010 from the fairchildsemi.com website.
- [3] Balogh, L. "Design and Application Guide for High Speed MOSFET Gate Drive Circuits," Power Supply Design Seminar SEM-1400, Topic 2, Texas Instruments Literature No. SLUP169.
- [4] ICE Components Gate Drive Transformer Datasheet "GT03.pdf" dated 10/06, available from www.icecomponents.com.
- [5] 2006 Fairchild Power Seminar Topic, "Practical Power Application Issues for High Power Systems," available on the fairchildsemi.com website at the link: http://www.fairchildsemi.com/powerseminar/pdf/practical_power_high_power_systems.pdf
- [6] Johnson, H. Dr., "High-Speed Digital Design On-Line Newsletter," Vol. 3 Issue 8, www.sigcon.com/Pubs/news/3_8.htm

作者

Mark Dennis生于新喀里多尼亚的特洛伊，在1983年于杜克大学获得工程学士学位。毕业后从事电力电子应用行业的工作，包括通信与计算机系统的离线和直流-直流电源设计、高压静电除尘高压电源以及在线UPS系统。Mark在半导体工业中已有8年多的工作经验，现在飞兆半导体，作为高级工程师，从事大功率系统工作。

相关器件

型号	器件编号	门极驱动 (漏/源)	输入阈值	逻辑	封装
单通道1A	FAN3111C	+1.1A / -0.9A	CMOS	双输入/单输出单通道	SOT23-5, MLP6
单通道1A	FAN3111E	+1.1A / -0.9A	External ^(请参见未找到引用源。)	带外部参考单非反相通道	SOT23-5, MLP6
单通道2A	FAN3100C	+2.5A / -1.8A	CMOS	两输入/一输出单通道	SOT23-5, MLP6
单通道2A	FAN3100T	+2.5A / -1.8A	TTL	两输入/一输出单通道	SOT23-5, MLP6
双通道 2A	FAN3216T	+2.4A / -1.6A	TTL	双反相通道	SOIC8
双通道 2A	FAN3217T	+2.4A / -1.6A	TTL	双非反相通道	SOIC8
双通道 2A	FAN3226C	+2.4A / -1.6A	CMOS	双反相通道+双使能	SOIC8, MLP8
双通道 2A	FAN3226T	+2.4A / -1.6A	TTL	双反相通道+双使能	SOIC8, MLP8
双通道 2A	FAN3227C	+2.4A / -1.6A	CMOS	双非反相通道+双使能	SOIC8, MLP8
双通道 2A	FAN3227T	+2.4A / -1.6A	TTL	双非反相通道+双使能	SOIC8, MLP8
双通道 2A	FAN3228C	+2.4A / -1.6A	CMOS	两输入/单输出的双通道, 引脚排列1	SOIC8, MLP8
双通道 2A	FAN3228T	+2.4A / -1.6A	TTL	两输入/单输出的双通道, 引脚排列1	SOIC8, MLP8
双通道 2A	FAN3229C	+2.4A / -1.6A	CMOS	两输入/单输出的双通道, 引脚排列2	SOIC8, MLP8
双通道 2A	FAN3229T	+2.4A / -1.6A	TTL	两输入/单输出的双通道, 引脚排列2	SOIC8, MLP8
双通道 2A	FAN3268T	+2.4A / -1.6A	TTL	20V非反向通道 (NMOS) 和反相通道 (PMOS) +双使能	SOIC8
双通道 2A	FAN3278T	+2.4A / -1.6A	TTL	30V非反向通道 (NMOS) 和反相通道 (PMOS) +双使能	SOIC8
双通道 4A	FAN3213T	+2.5A / -1.8A	TTL	双反相通道	SOIC8
双通道 4A	FAN3214T	+2.5A / -1.8A	TTL	双非反相通道	SOIC8
双通道 4A	FAN3223C	+4.3A / -2.8A	CMOS	双反相通道+双使能	SOIC8, MLP8
双通道 4A	FAN3223T	+4.3A / -2.8A	TTL	双反相通道+双使能	SOIC8, MLP8
双通道 4A	FAN3224C	+4.3A / -2.8A	CMOS	双非反相通道+双使能	SOIC8, MLP8
双通道 4A	FAN3224T	+4.3A / -2.8A	TTL	双非反相通道+双使能	SOIC8, MLP8
双通道 4A	FAN3225C	+4.3A / -2.8A	CMOS	两输入/单输出的双通道	SOIC8, MLP8
双通道 4A	FAN3225T	+4.3A / -2.8A	TTL	两输入/单输出的双通道	SOIC8, MLP8
单通道 9A	FAN3121C	+9.7A / -7.1A	CMOS	单反相通道+使能	SOIC8, MLP8
单通道 9A	FAN3121T	+9.7A / -7.1A	TTL	单反相通道+使能	SOIC8, MLP8
单通道 9A	FAN3122T	+9.7A / -7.1A	CMOS	单非反相通道+使能	SOIC8, MLP8
单通道 9A	FAN3122C	+9.7A / -7.1A	TTL	单非反相通道+使能	SOIC8, MLP8

说明:

1. OUT_x 为 6V以及 $V_{DD}=12V$ 时的典型电流。
2. 与外部电源参考电压成比例的阈值。

查阅上述低端门极驱动器的数据表，请访问飞兆半导体网站：

<http://www.fairchildsemi.com/sitesearch/fsc.jsp?command=eq&attr1=AAAFamily&attr2=Low-Side+Drivers>

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

